

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-145283

(43)Date of publication of application : 28.05.1999

(51)Int.Cl. H01L 21/768
H01L 21/28
H01L 29/78
H01L 21/336

(21)Application number : 09-305387

(71)Applicant : NEC CORP

(22)Date of filing : 07.11.1997

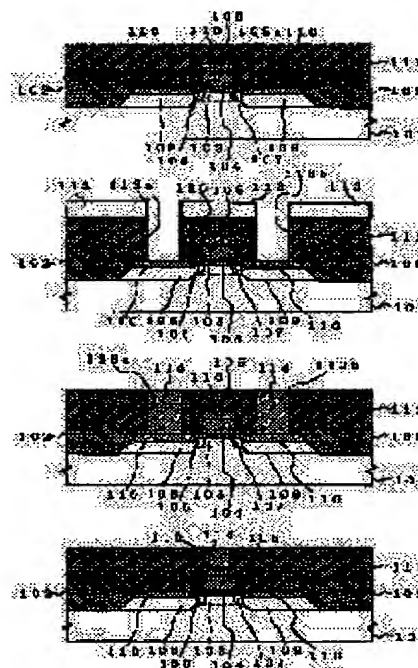
(72)Inventor : INOUE AKIRA
HAMADA MASAYUKI

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To set a resistance to be not high in the case of connecting silicon by a method wherein a specified region of the bottom portion of a contact hole is exposed and heated, and thereafter following a cleaning, a plug connected to the specified region is formed in the contact hole.

SOLUTION: Elements are formed on a silicon substrate 101 and an interlayer film 111 is formed thereon. Contact holes 113a, 113b are formed so as to expose a specified region to a portion on a specified region of the elements of the interlayer film 111. The silicon substrate 101 formed with the elements and the interlayer film 111 is heated and thereafter a surface of a silicide layer 110 exposed to the contact holes 113a, 113b is cleaned with a diluted fluoric acid, etc. Next, polysilicon doped selectively with phosphorus is deposited on the exposed silicide layer 110, whereby a plug 114 is formed so as to bury the contact holes 113a, 113b.



LEGAL STATUS

[Date of request for examination] 07.11.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145283

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.⁶

H 0 1 L 21/768

21/28

29/78

21/336

識別記号

3 0 1

F I

H 0 1 L 21/90

21/28

29/78

C

3 0 1 T

3 0 1 Y

審査請求 有 請求項の数 7 O L (全 7 頁)

(21) 出願番号

特願平9-305387

(22) 出願日

平成9年(1997)11月7日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 井上 顕

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 浜田 昌幸

東京都港区芝五丁目7番1号 日本電気株式会社内

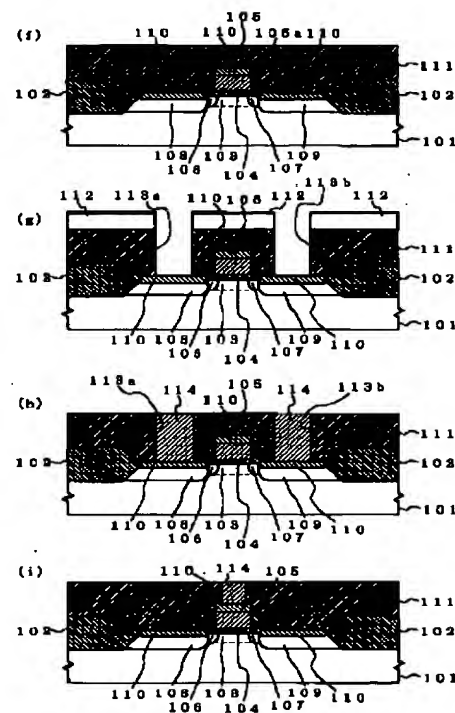
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 シリコンを接続する場合に、抵抗が高くなるようにする。

【解決手段】 コンタクトホール113a, 113bを形成し、レジストパターン112を除去した後、10秒間ほど800℃に加熱するRTA処理を行い、その後で、コンタクトホール113a, 113b底部に露出しているシリサイド層110表面を希弗酸などにより洗浄する。



【特許請求の範囲】

【請求項1】 シリコン基板上に素子を形成する第1の工程と、

前記素子上に層間膜を形成する第2の工程と、

前記層間膜の前記素子上の所定領域上の部分に前記所定領域が露出するようにコンタクトホールを形成する第3の工程と、

前記素子および前記層間膜が形成された前記シリコン基板を加熱する第4の工程と、

前記コンタクトホール内を埋め込んで前記所定領域に接触するシリコンからなる配線もしくはその一部を形成する第5の工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

前記所定領域表面にシリサイドが形成されていることを特徴とする半導体装置の製造方法。

【請求項3】 シリコン基板上にソース・ドレインおよびゲート電極から構成された素子を形成する第1の工程と、

前記素子上に層間膜を形成する第2の工程と、

前記層間膜の前記素子上の領域に、前記ソース・ドレインが露出するようにコンタクトホールを形成する第3の工程と、

前記素子および前記層間膜が形成された前記シリコン基板を加熱する第4の工程と、

前記コンタクトホール内を埋め込み、前記ソース・ドレインに接触するシリコンからなるプラグを形成する第5の工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項4】 請求項3記載の半導体装置の製造方法において、

前記ソース・ドレイン表面には、シリサイドが形成されていることを特徴とする半導体装置の製造方法。

【請求項5】 シリコン基板上にソース・ドレインおよびゲート電極から構成された素子を形成する第1の工程と、

前記素子上に層間膜を形成する第2の工程と、

前記層間膜の前記素子上の領域に、前記ゲート電極上面が露出するようにコンタクトホールを形成する第3の工程と、

前記素子および前記層間膜が形成された前記シリコン基板を加熱する第4の工程と、

前記コンタクトホール内を埋め込み、前記ゲート電極上面に接触するシリコンからなるプラグを形成する第5の工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項6】 請求項5記載の半導体装置の製造方法において、

前記ゲート電極はシリコンからなり、その上面にはシリ

サイドが形成されていることを特徴とする半導体装置の製造方法。

【請求項7】 請求項1～6いずれか1項記載の半導体装置の製造方法において、

前記第4の工程の後でかつ前記第5の工程の前に、前記コンタクトホール底部を弗酸を含む洗浄液で洗浄することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、シリコン基板上に形成された素子に接続する配線の素子に接触する部分がシリコンからなる半導体装置の製造方法に関する。

【0002】

【従来の技術】 従来よりコンタクト抵抗を下げるためや、ポリシリコンからなるゲート電極の低抵抗化などの目的のために、シリコンと金属の合金であるシリサイドが用いられている。例えば、ソース・ドレイン形成領域表面にシリサイドを形成し、ソース電極およびドレイン電極との接触抵抗を低減するようにしている。以下、そのシリサイドを用いたMOSFETの製造方法に関して、簡単に説明する。

【0003】 まず、図6(a)に示すように、シリコン基板601上にフィールド酸化膜602を形成し、フィールド酸化膜602により区画された素子形成領域のシリコン基板601表面を露出させる。次に、トランジスタのしきい値電圧を調整するために、Bをイオン注入して不純物領域603を形成し、ついで、その露出した表面に形成された自然酸化膜を、希弗酸などの酸を用いた洗浄などにより除去した後、図6(b)に示すように、ゲート絶縁膜604を形成する。

【0004】 ついで、CVD法によりポリシリコンを堆積する。このとき、このポリシリコンに導電性を持たせるために、P(リン)を 10^{20} cm^{-3} 程度添加するようにしてもよい。そして、公知のフォトリソグラフィ技術により形成したレジストパターンをマスクとし、HBrやClなどのガスを用いたドライエッチングにより、ポリシリコンを選択的に除去し、図6(c)に示すように、ゲート電極605を形成する。加えて、このゲート電極605をマスクとしてP(燐)をイオン注入することで、低濃度領域606、607を形成する。

【0005】 次に、ゲート電極605を含むシリコン基板601上に絶縁膜を堆積し、これを垂直異方性を有するドライエッチングで除去するなどにより、図6(d)に示すように、ゲート電極605側壁にサイドウォール605aを形成する。加えて、ゲート電極605およびサイドウォール605aをマスクとしてAs(ヒ素)をイオン注入することで、ソース608およびドレイン609を形成する。以上のことにより、LDD構造のMOSFETがほぼ構成されるが、この後、次に示すように、トランジスタに接続する配線を形成するようにして

10

20

30

40

50

いる。

【0006】すなわち、まず、ゲート電極605、サイドウォール605aを含むシリコン基板601上にコバルト膜を堆積して加熱処理し、シリコン面とコバルトとが接触している箇所をシリサイド化し、絶縁膜上などの未反応のコバルトを除去し、この後で再度加熱処理する。この結果、図6(e)に示すように、ゲート電極605上部およびソース608およびドレイン609上に、シリサイド層610が形成された状態が得られる。

【0007】次に、図7(f)に示すように、酸化シリコンからなる層間膜611を形成する。次に、図7(g)に示すように、レジストパターン612をマスクとしたドライエッチングにより、その層間膜611のソース608およびドレイン609上の領域の所定位置に、コンタクトホール613a、613bを形成する。次に、レジストパターン612を除去した後、コンタクトホール613a、613b底部に露出しているシリサイド層610表面を希弗酸などにより洗浄する。

【0008】そして、図7(h)に示すように、露出しているシリサイド層610上に選択的に燐がドーピングされたポリシリコンを堆積することで、コンタクトホール613a、613b内を埋め込むようにプラグ614を形成する。また、図7(i)に示すように、他の領域において、ゲート電極605上にも、シリサイド層610に接続するプラグ614を形成する。この後、図示していないが、プラグ614に接続し、例えば、タングステンシリサイドなどからなる各配線、例えば、ソース電極配線やドレイン電極配線などを形成すればよい。

【0009】

【発明が解決しようとする課題】ところが、上述したように、耐熱性を必要とするために、ソース・ドレインにコンタクトするプラグをポリシリコンから構成する場合、プラグ部分の本来の抵抗より、接続する抵抗が高くなってしまうという問題があった。例えば上述の場合、図7(h)に示すように、ソース608には、シリサイド層610を介してプラグ614が接続するようにしている。しかしながら、そのようにシリサイドを介して接続しても、ソースとプラグに接続されるソース電極配線との間の抵抗が、高くなるという問題が発生していた。

【0010】この発明は、以上のような問題点を解消するためになされたものであり、シリコンを接続する場合に、抵抗が高くならないようにすることを目的とする。

【0011】

【課題を解決するための手段】この発明の半導体装置の製造方法は、シリコン基板上に素子を形成し、その素子上に層間膜を形成した後、まず、層間膜の素子の所定領域上の部分にその所定領域が露出するようにコンタクトホールを形成し、この後で、素子および層間膜が形成されたシリコン基板を加熱するようにした。そして、その後で、コンタクトホール内を埋め込み、露出されている

所定領域に接触するシリコンからなる配線もしくはその一部を形成するようにした。以上のようにシリコンからなる配線もしくはその一部を形成するようにしたので、配線と接続部との間の抵抗が低減する。

【0012】

【発明の実施の形態】以下この発明の実施の形態を図を参照して説明する。

実施の形態1

図1は、この発明の第1の実施の形態における半導体装置の製造方法を示す工程断面図である。まず、図1

(a)に示すように、シリコン基板101上にフィールド酸化膜102を形成し、フィールド酸化膜102により区画された素子形成領域のシリコン基板101表面を露出させる。次に、トランジスタのしきい値電圧を調整するために、Bをイオン注入して不純物領域103を形成し、ついで、その露出した表面に形成された自然酸化膜を、希弗酸などの酸を用いた洗浄などにより除去した後、図1(b)に示すように、ゲート絶縁膜104を形成する。

【0013】ついで、CVD法によりポリシリコンを堆積する。なお、このとき、このポリシリコンに導電性を持たせるために、P(リン)を 10^{20} cm^{-3} 程度添加するようにしてもよい。そして、公知のフォトリソグラフィ技術により形成したレジストパターンをマスクとし、HBrやClなどのガスをを用いたドライエッチングにより、ポリシリコンを選択的に除去し、図1(c)に示すように、ゲート電極105を形成する。加えて、このゲート電極105をマスクとしてP(リン)をイオン注入することで、低濃度領域106、107を形成する。このとき同時に、ゲート電極105にも燐が導入されることになる。

【0014】次に、ゲート電極105を含むシリコン基板101上に絶縁膜を堆積し、これを垂直異方性を有するドライエッチングで所定量除去するなどにより、図1(d)に示すように、ゲート電極105側壁にサイドウォール105aを形成する。加えて、ゲート電極105およびサイドウォール105aをマスクとしてAs(ヒ素)をイオン注入することで、ソース108およびドレイン109を形成する。

【0015】ついで、ゲート電極105、サイドウォール105aを含むシリコン基板101上に、膜厚15nm程度にコバルト膜を堆積する。続いて、これらを例えば500~600℃程度に加熱(RTA: Rapid Thermal Annealing)処理する。この処理により、シリコン面とコバルトとが接触している箇所においてシリサイド化が起こる。続いて、絶縁膜上などの未反応のコバルトを、例えば、塩酸と過酸化水素の混液によるウェットエッチングで除去する。この後で、前述の熱処理以上の温度でRTA処理をする。この結果、図1(e)に示すように、ゲート電極105上部およびソース108および

5

ドレイン109上に、シリコンとコバルトの合金からなるシリサイド層110が、膜厚40~50nm程度に形成された状態が得られる。

【0016】次に、図2(f)に示すように、酸化シリコンからなる層間膜111を形成する。ついで、図2(g)に示すように、レジストパターン112をマスクとしたドライエッチングにより、その層間膜111のソース108およびドレイン109上の領域の所定位置に、コンタクトホール113a、113bを形成する。次に、レジストパターン112を除去した後、この実施

の形態1では、10秒間ほど800℃に加熱するRTA処理を行い、その後で、コンタクトホール113a、113b底部に露出しているシリサイド層110表面を希弗酸などにより洗浄する。ここで、その加熱は、例えばランプアニールなどにより行えばよい。

【0017】ついで、図2(h)に示すように、露出しているシリサイド層110上に選択的に燐がドーブされたポリシリコンを堆積することで、コンタクトホール113a、113b内を埋め込むようにプラグ114を形成する。また、図2(i)に示すように、他の領域において、ゲート電極105上にも、シリサイド層110に接続するプラグ114を形成する。この後、図示していないが、プラグ114に接続し、例えば、タングステンシリサイドなどからなる各配線、例えば、ソース電極配線やドレイン電極配線などを形成すればよい。

【0018】以上示したように、この実施の形態1によれば、コンタクトホールを形成してコンタクトホール底部に所定領域を露出させた後、熱処理を行うようにした。そして、この熱処理の後で洗浄してから、コンタクトホール内に、その所定領域に接続するプラグを形成するようにした。この結果、例えば、ソース108上のコンタクト抵抗を測定した場合、図3に示すように、従来のように加熱処理を行わない場合(a)に比較して、この実施の形態1による加熱処理を行う場合(b)の方がより低くなる。なお、上述ではコバルトのシリサイドを形成するようにしているが、これに限るものではなく、他の高融点金属のシリサイドでもよく、例えば、チタンのシリサイドを形成するようにしても同様である。

【0019】実施の形態2

以下、この発明の第2の実施の形態における半導体装置の製造方法に関して説明する。まず、図4(a)に示すように、フィールド酸化膜402を形成し、フィールド酸化膜402により区画された素子形成領域のシリコン基板401表面を露出させる。ついで、次に、トランジスタのしきい値電圧を調整するために、Bをイオン注入して不純物領域403を形成し、ついで、その露出した表面に形成された自然酸化膜を、希弗酸などの酸を用いた洗浄などにより除去した後、図4(b)に示すように、ゲート絶縁膜404を形成する。

【0020】ついで、CVD法によりP(リン)が10

6

20 cm^{-3} 程度添加されたポリシリコンを堆積し、引き続いてこの上にタングステンシリサイドを堆積する。そして、公知のフォトリソグラフィ技術により形成したレジストパターンをマスクとし、ドライエッチングにより、ポリシリコンおよびタングステンシリサイドを選択的に除去し、図4(c)に示すように、ポリシリコン405aとタングステンシリサイド405bからなるゲート電極405を形成する。加えて、このゲート電極405をマスクとしてP(燐)をイオン注入することで、低濃度領域406、407を形成する。なお、タングステンシリサイドに限るものではなく、他の高融点金属のシリサイドを用いるようにしても同様である。

【0021】次に、ゲート電極405を含むシリコン基板401上に絶縁膜を堆積し、これを垂直異方性を有するドライエッチングで所定量除去するなどにより、図4(d)に示すように、ゲート電極405側壁にサイドウォール405cを形成する。加えて、ゲート電極405およびサイドウォール405cをマスクとしてAs(ヒ素)をイオン注入することで、ソース408およびドレイン409を形成する。次に、図4(e)に示すように、酸化シリコンからなる層間膜411を形成する。

【0022】次に、図5(f)に示すように、レジストパターン412をマスクとしたドライエッチングにより、その層間膜411のソース408およびドレイン409上の領域の所定位置に、コンタクトホール413a、413bを形成する。同時に、図5(g)に示すように、層間膜411のタングステンシリサイド405b上の所定位置に、コンタクトホール413cを形成する。次に、レジストパターン412を除去した後、この実施の形態2においては、10秒間ほど800℃に加熱するRTA処理を行い、その後で、コンタクトホール413a、413b底部に露出しているシリコン基板401表面、および、コンタクトホール413c底部に露出しているタングステンシリサイド405b表面を希弗酸などにより洗浄する。

【0023】そして、図5(h)に示すように、露出しているシリコン基板401上に選択的に燐がドーブされたポリシリコンを堆積することで、コンタクトホール413a、413b内を埋め込むようにプラグ414を形成する。また、図5(i)に示すように、他の領域において、ゲート電極405上にも、タングステンシリサイド405bに接続するように、燐がドーブされたポリシリコンからなるプラグ414を形成する。この後、図示していないが、プラグ414に接続し、例えば、タングステンシリサイドなどからなる各配線、例えば、ソース電極配線やドレイン電極配線などを形成すればよい。この結果、この実施の形態2においても、前述した実施の形態1と同様の効果を奏する。

【0024】

【発明の効果】以上説明したように、この発明では、シ

リコン基板上に素子を形成する第1の工程と、素子上に層間膜を形成する第2の工程と、層間膜の素子の所定領域上の部分にその所定領域が露出するようにコンタクトホールを形成する第3の工程と、素子および層間膜が形成されたシリコン基板を加熱する第4の工程と、コンタクトホール内を埋め込んで接続部に接触するシリコンからなる配線もしくはその一部を形成する第5の工程とを備えるようにした。この結果、この発明によれば、シリコンからなる配線もしくはその一部と素子の所定領域との間の抵抗が高くないという効果がある。

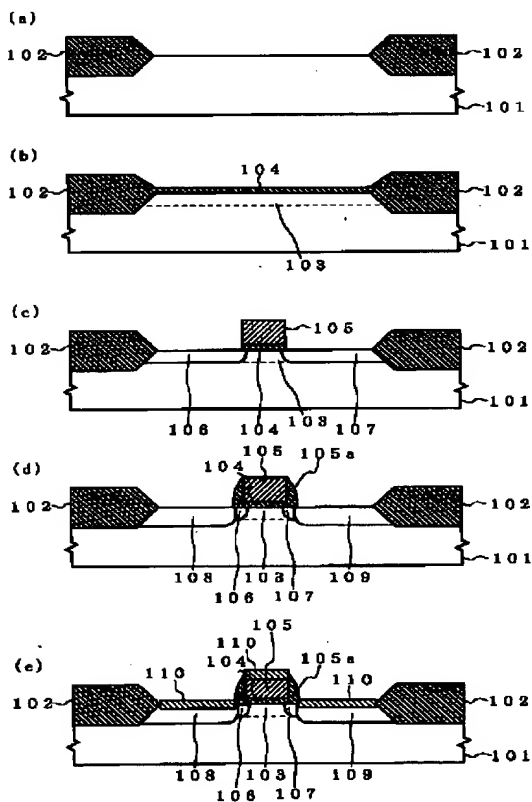
【図面の簡単な説明】

【図1】 この発明の第1の実施の形態における半導体装置の製造方法を示す工程断面図である。

【図2】 図1に続く、この発明の第1の実施の形態における半導体装置の製造方法を示す工程断面図である。

【図3】 コンタクト抵抗の状態を示す説明図である。

【図1】



【図4】 この発明の第2の実施の形態における半導体装置の製造方法を示す工程断面図である。

【図5】 図4に続く、この発明の第1の実施の形態における半導体装置の製造方法を示す工程断面図である。

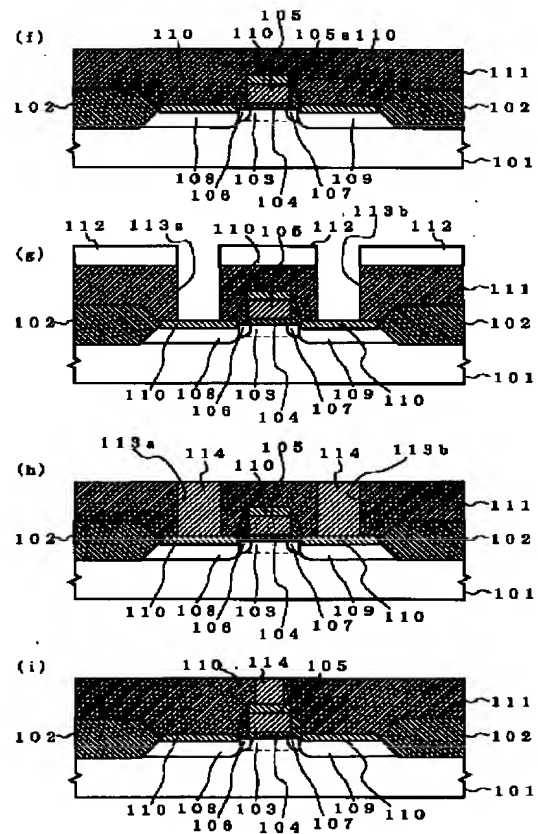
【図6】 従来の半導体装置の製造方法を示す工程断面図である。

【図7】 図6に続く、従来の半導体装置の製造方法を示す工程断面図である。

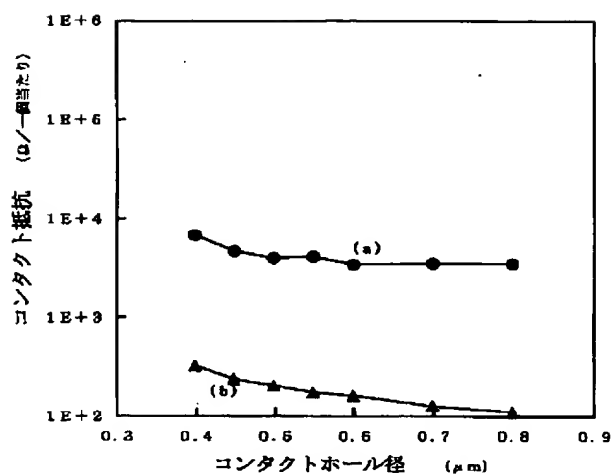
【符号の説明】

101…シリコン基板、102…フィールド酸化膜、103…不純物領域、104…ゲート絶縁膜、105…ゲート電極、105a…サイドウォール、106、107…低濃度領域、108…ソース、109…ドレイン、110…シリサイド層、111…層間膜、112…レジストパターン、113a、113b…コンタクトホール、114…プラグ。

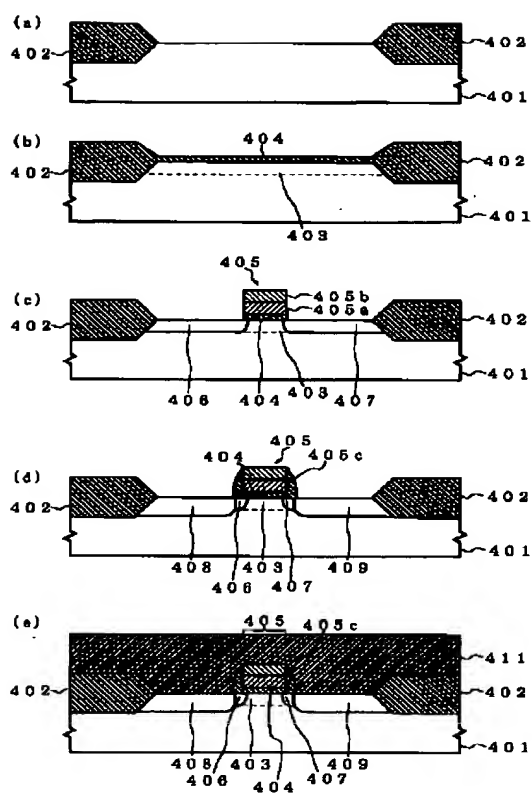
【図2】



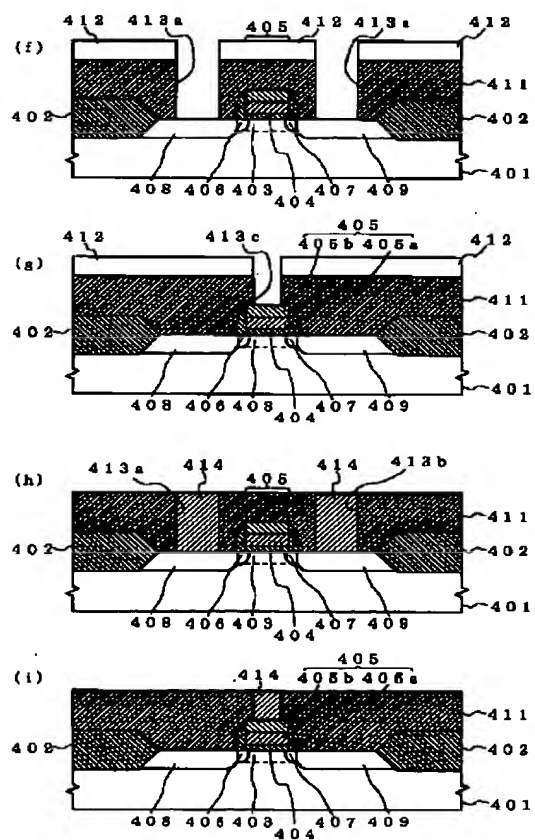
【図3】



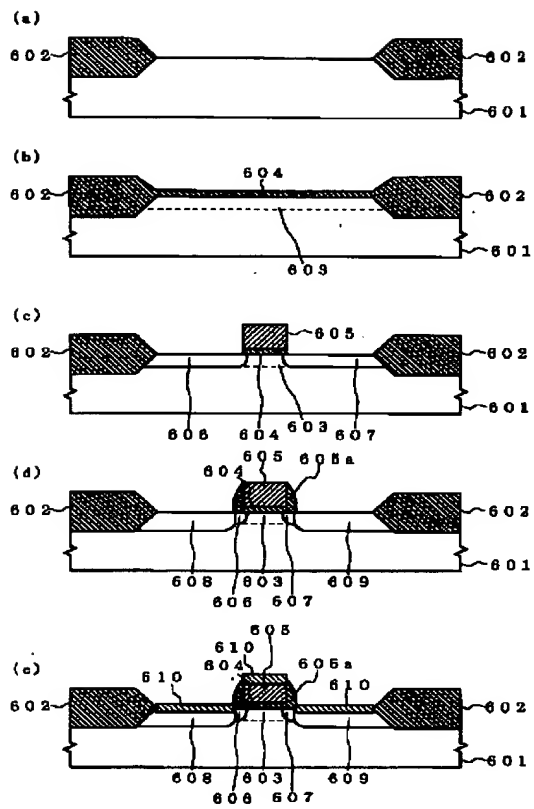
【図4】



【図5】



【図6】



【図7】

